

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-217904

(43)Date of publication of application : 27.08.1993

(51)Int.Cl.

H01L 21/205  
H01L 21/76  
H01S 3/18  
// H01L 33/00

(21)Application number : 04-016709

(71)Applicant : NEC KANSAI LTD

(22)Date of filing : 31.01.1992

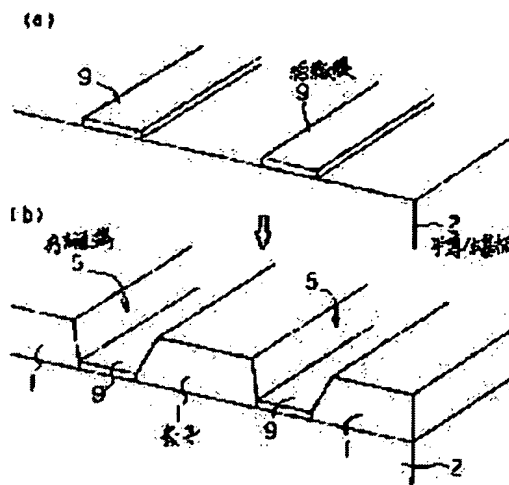
(72)Inventor : MAKITA HIRONOBU

## (54) SEPARATING METHOD FOR ELEMENT OF SEMICONDUCTOR LASER DIODE

### (57)Abstract:

**PURPOSE:** To provide a method for separating many semiconductor laser diodes to be manufactured in a wafer state without forming a step instead of an etching method since various problems occur in the next step due to an overhang step to be formed on the side of an element when a separation groove for separating the diodes into independent elements is formed by etching.

**CONSTITUTION:** A part to be formed with a separating groove of an element 1 of a semiconductor substrate 2 is covered with an insulating film 9 not to be epitaxially grown of an oxide film to be formed, for example, by an ordinary pressure CVD method, and then a laser diode element 1 is formed of an epitaxially grown layer on the other part, for example, by a metal organic VPE method. Thus, an element separating groove 5 is resultantly formed on the film 9.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11) 特許出願公開番号

特開平5-217904

(43) 公開日 平成 5 年 (1993) 8 月 27 日

(51) Int. Cl. <sup>5</sup>	識別記号	F I
H01L 21/205	7454-4M	
21/76	E 9169-4M	
H01S 3/18	9170-4M	
// H01L 33/00	A 8934-4M	

審査請求 未請求 請求項の数 3 (全 4 頁)

(21) 出願番号 特願平4-16709

(22) 出願日 平成 4 年 (1992) 1 月 31 日

(71) 出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐 2 丁目 9 番 1 号

(72) 発明者 牧田 宏信

滋賀県大津市晴嵐 2 丁目 9 番 1 号 関西日

本電気株式会社内

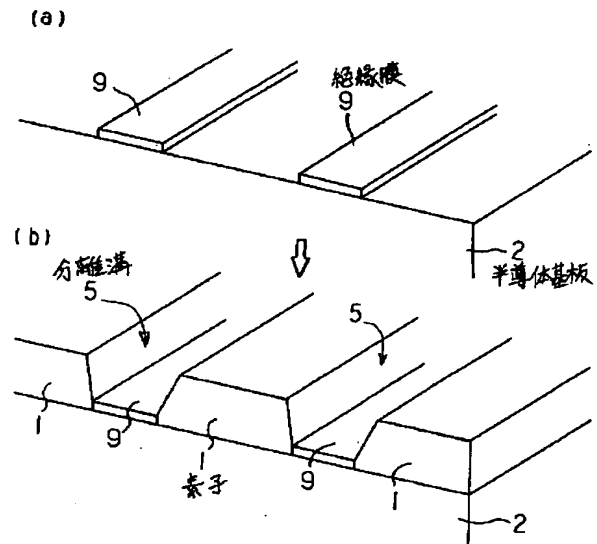
(74) 代理人 弁理士 江原 省吾

(54) 【発明の名称】 半導体レーザーダイオードの素子分離方法

(57) 【要約】

【目的】 ウェーハ状態で製作される多数の半導体レーザーダイオードを単独素子に分離する分離溝 5 を、エッチングにより形成すると素子 1 の側面にひさし状の段差 8 が形成されて、次工程で様々な問題が生じるので、エッチング法に換わる段差が形成されない分離方法を提供する。

【構成】 半導体基板 2 の素子 1 の分離溝形成予定部分に、例えば常圧 CVD 法により形成する酸化膜で、エピタキシャル成長がされない絶縁膜 6 を被着形成し、その後、他の部分に、例えば有機金属 VPE 法によってレーザーダイオード素子 1 をエピタキシャル成長層で形成する。これによって、絶縁膜 6 上に結果的に素子分離溝 5 を形成する。



## 【特許請求の範囲】

【請求項 1】 ウェーハ状半導体基板の素子分離溝形成予定部分にエピタキシャル成長がされない絶縁膜を予め被着形成し、前記絶縁膜を形成した以外の部分にエピタキシャル成長させて、レーザーダイオード素子を形成することを特徴とする半導体レーザーダイオードの素子分離方法。

【請求項 2】 絶縁膜を常圧 CVD 法により形成することを特徴とする請求項 1 記載の半導体レーザーダイオードの素子分離方法。

【請求項 3】 エピタキシャル成長層を有機金属 VPE 法で生成することを特徴とする請求項 1 記載の半導体レーザーダイオードの素子分離方法。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】この発明は、ウェーハ状態で製作される半導体レーザーダイオードを、各素子に分離するための分離溝の形成方法に関する。

## 【 0 0 0 2 】

【従来の技術】半導体レーザーダイオードは、半導体基板にエピタキシャル成長させた PN 接合からなる素子層に電流を流して、コヒーレント光を放出させるものである。この素子 1 を、図 2 に示すように半導体基板 2 上に基盤目状の整列状態で形成した後、素子別に良不良を判別する検査は、図 3 に示すように、一列の素子 1 が連結したバー状態で切り出し、各素子 1 の電極 3 に、個別に検針 4 を当て、側面からの発光を調べている。このとき、隣接する素子 1 に電流が流れると、個別検査ができなくなるので、各素子 1 を分離する溝 5 を、エッチングにより形成していた。

【 0 0 0 3 】この分離溝 5 の従来の形成は、図 4 で説明するエッチング法で行っていた。

【 0 0 0 4 】まず、図 4 (a) に示すように、ウェーハ状の半導体基板 2 の上にエピタキシャル成長法により素子層 6 を形成し、次に、この素子層 6 の要所にフォトレジスト層（以下 PR 層という）7 を形成する。次に、図 4 (b) に示すように、PR 層 7 のない部分をエッチングして分離溝 5 を形成する。この後、PR 層 7 を除去した後、保護膜としての酸化膜の全面被着、この酸化膜の電極形成部分への窓開け、電極形成用金属膜の全面被着、この金属膜の電極となる部分を覆う PR 層の形成、ドライエッチングによる金属膜の不要部分の除去等を経て、ウェーハ状態で工程を終了する。

## 【 0 0 0 5 】

【発明が解決しようとする課題】上記選択エッチングにより各素子 1 を確実に分離するには、かなり長めの時間を掛けてエッチングを行なう必要があり、そのために必要以上のエッチングがされることになる。また、エッチング液はその組成が異なる様々な種類のものが使用され、そのエッチングレートが相違するので分離溝 5 の形

状が不安定になり、レートが高いエッチング液では、エッチングが過剰に行われてしまうことがある。

【 0 0 0 6 】このように、必要以上のエッチングがされると、残された素子部分の側面には図 5 に示すように、ひさし状の段差 8 が形成され易い。この段差 8 があると、この後に、図 3 に示す電極 3 を形成するために行われるフォトリソグラフィ工程で、段差の影になった部分が露光されず、フォトレジストや金属膜がこの部分に、ひげ状に残されることがある。これらのフォトレジストや金属膜は、素子を個別にパッケージした後に剥がれて、特性不良の原因となるゴミを発生させる問題を引き起こす。

【 0 0 0 7 】また、ひさし状の段差 8 が形成されると、図 5 に示したようにウェーハ状の半導体基板 2 から一列の素子 1 をバー状に切出すとき、レーザー光が出る切出し端面にクラックが入り、特性劣化の原因となることがある。

【 0 0 0 8 】そこで本発明は、素子の分離溝を、段差の原因となるエッチングを行なわないで、形成する方法を提供することにより上記問題の解決を図る。

## 【 0 0 0 9 】

【課題を解決するための手段】本発明の半導体レーザーダイオードの素子分離方法は、ウェーハ状の半導体基板の素子の分離溝形成予定部分にエピタキシャル成長がされない絶縁膜を予め被着形成し、その後、他の部分にエピタキシャル成長によってレーザーダイオード素子を形成する。

【 0 0 1 0 】このように選択的なエピタキシャル成長をさせるため、上記絶縁膜は、例えば常圧 CVD 法により形成する酸化膜を使用し、エピタキシャル成長層は、例えば有機金属 CVD 法を採用する。

## 【 0 0 1 1 】

【作用】上述したように、素子の分離溝形成予定部分に、絶縁膜を形成しておくこと、この部分にはエピタキシャル成長がなく、各素子がエピタキシャル成長により形成されると、結果的に素子の分離溝が形成されることになる。

## 【 0 0 1 2 】

【実施例】本発明による半導体レーザーダイオードの製造工程を図 1 に示し、説明する。まず、図 1 (a) に示すように、ウェーハ状の半導体基板 2 の分離溝形成予定部分に、絶縁膜 9 を形成する。これは、例えば、絶縁膜 9 である酸化膜 ( $\text{SiO}_2$ ) を所定の厚さだけ、常圧 CVD (ケミカル・ベーパー・デポジション) 法により全面形成し、これに PR 層を全面に被着形成し、その PR 層の分離溝の形成予定部分に窓開けし、エッチング液を用いて酸化膜を選択的にエッチング除去し、この後 PR 膜を溶剤で除去して行なう。

【 0 0 1 3 】次に、図 1 (a) に示すように、分離溝形成予定部分に絶縁膜 9 が形成された半導体基板 2 に対し、

エピタキシャル成長法によってPN接合からなる素子1を形成する。このエピタキシャル成長工程は、絶縁層9の上にエピタキシャル層が成長しないように、例えば所定の圧力・温度・成長速度を保持した有機金属気相成長法(MO-CVD)によって行なう。ここで、気相成長ガスに、添加される有機金属は、例えば、TMG(トリメチルガリウム)またはTEG(トリエチルガリウム)等が使用される。

【0014】このようにして形成される素子1は、図1(b)に示すように、絶縁膜9の上にエピタキシャル成長がされないため結果的に形成された、分離溝5で区画されている。

【0015】この後、保護膜としての酸化膜を全面に形成し、さらにフォトリソグラフィ法により、この酸化膜の電極形成部分への窓開け、電極形成用金属膜の全面被着、ドライエッチングによる金属膜の不要部分の除去等の工程によって、図3に示すように電極3を素子1上に形成して、半導体レーザーダイオード製造のウェーハ状態での最終工程が終了する。

【0016】このとき、各素子1の側面は、エピタキシャル成長の自然な傾斜を持ち、段差によるひさし等は形成されていないので、露光工程やドライエッチング工程で陰になる部分はなく、電極層形成時のPR工程で、フォトリソグレイや金属膜が残されることはない。したがって、残されたフォトリソグレイや金属膜が、半導体レーザーダイオードのパッケージ後に剥がれて、ゴミとなり特性劣化の原因となることはなくなる。

【0017】このように半導体レーザーダイオードの素子1が形成された半導体基板2を、図5に示すように、一列の素子1が連なるようにバー状に切出し、検針4を各素子1に当てる検査を行う。この切出しの際にも、各素子1の側面には段差が形成されていないので、段差部

からクラックが入る現象はなくなり、歩止まり向上が図れ、このクラックによる特性劣化はなくなる。

【0018】

【発明の効果】この発明によれば、エピタキシャル成長がされない絶縁膜を除く部分に、半導体レーザーダイオードの素子をエピタキシャル成長法で形成することにより、素子の個別検査に必要な分離溝を、段差のない自然な形状で作ることができる。したがって、この後に行われる、電極形成工程におけるフォトリソグレイ及び金属膜の残留現象をなくして、製品の信頼性を向上するとともに、素子分離前の検査のためのバー状態への切出し時における段差によるクラックの発生をなくして、歩止まり向上を図ることができる。

【図面の簡単な説明】

【図1】この発明による半導体レーザーダイオードの製造工程を断面で示す斜視図

【図2】ウェーハ状態の半導体レーザーダイオードを示す平面図

【図3】検査のためウェーハから連結状態でバー状に切出された半導体レーザーダイオードを示す斜視図

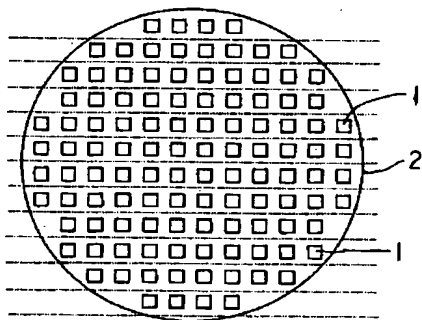
【図4】従来方法による半導体レーザーダイオードの素子分離溝の形成方法を示す断面図

【図5】図4に示す方法によって分離溝を形成した場合にひさし状の段差が形成される様子を断面にして示す半導体ウェーハの部分斜視図

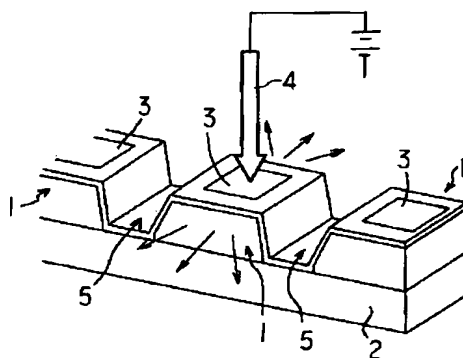
【符号の説明】

- 1 半導体レーザーダイオードの素子
- 2 半導体基板
- 3 電極
- 4 検針
- 5 素子の分離溝
- 9 絶縁膜

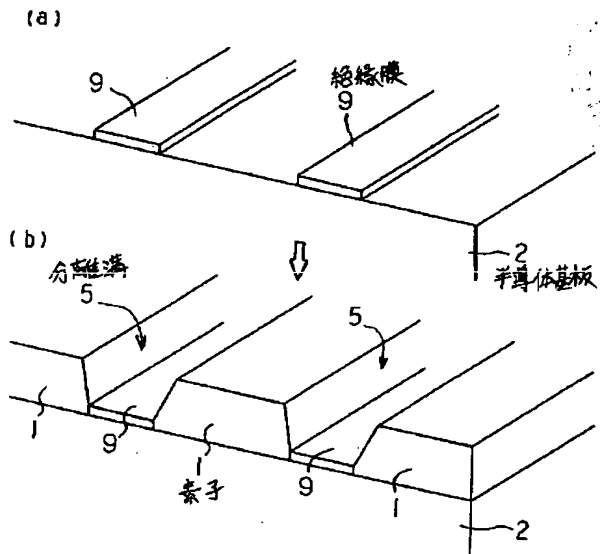
【図2】



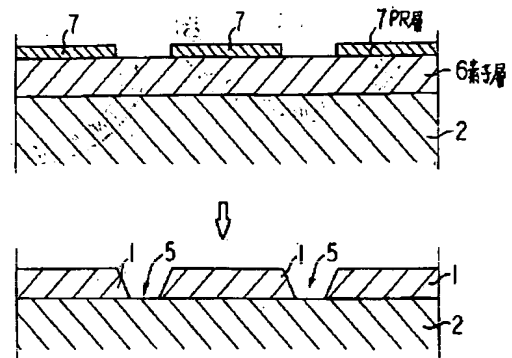
【図3】



【図1】



【図4】



【図5】

